相変化メモリ向け成膜技術とプロセスの開発

増田健[*1]・神保武人[*1]

Development of Deposition Technologies and Processes for Phase Change Memory

Takeshi MASUDA[*1] and Takehito JIMBO[*1]

[*]Institute of Advanced Technology, ULVAC, Inc., 1220-1 Suyama, Susono, Shizuoka 410-1231, Japan

Phase change random access memory (PCRAM) is a type of non-volatile memory that is embedded in semiconductor devices and has been put to practical use as storage class memory (SCM) with high speed and large capacity at a lower cost than DRAM. It is also expected to be applied to neural computing, which mimics the neural circuits of the human brain.

In order to realize PCRAM, it is essential to develop film deposition technologies and processes to realize appropriate film properties and mass productivity for the memory elements, selector elements, and electrode materials (carbon is widely used). In this paper, we will explain the status of technology development for depositing each of these elements, and also present the evaluation results of a prototype AI device using CVD technology for application in neural computing.

1. はじめに

近年，IoT（Internet of things; あらゆるモノがインターネットで繋がるシステム）の普及や，５G（第５世代移動通信システム）の本格化，それを基盤にした自動運転制御システムの導入と目覚ましい進展が見られる。これらインフラを実現させる為に高集積・高速化する携帯端末，それらを繋いで高速データ処理を行うクラウドコンピューティングによるデータセンター，画像や映像などの大容量リアルタイムデータ処理を行うエッジコンピューティングなど，様々な技術が必要とされる。この基盤技術を支える上で半導体は欠く事の出来ない技術で，日々技術開発が続いている。

今回紹介する相変化メモリ（PCRAM）は，半導体デバイスの中に組み込んで用いられる不揮発性メモリの一種で，今後ますます必要性が増してくる技術の一つで，アルバック半導体製造装置が広くその量産に寄与することが期待される。

2. 背景

2.1 PCRAMの必要性

不揮発性メモリは，電源を切っても電気的な特性（抵抗率や電荷量など）が維持されているメモリで，現在のノートパソコンや携帯端末の大容量記録装置（ストレージ）として主流となったNAND型フラッシュメモリもこの中に区分される。一方，DRAMは，随時記憶保持動作が必要だが高速・大容量集積が可能で，コンピュータの主記憶装置として広く用いられている。ところが，先に示したように，より高速，大容量のデータ処理が必要になると高速（１ns～100 ns）で駆動するDRAMと低速（数10 μs～１ms）駆動のNANDの処理速度の違い（３～６桁）がボトルネックになる。この速度差を埋めるメモリとして，IBM社により考案されたメモリ[1)]が，ストレージとしての「不揮発」の特徴を持ち，しかも，動作速度はNANDよりはるかに速く，コスト的にはDRAMよりも安価なストレージクラスメモリ（SCM）である。

PCRAMは，ある種のカルコゲナイド物質に電流を流す時に生じるジュール熱により結晶相とアモルファス相を高速に切り替えることができ，その抵抗値の違いを利用してデータの記憶を行うメモリである。PCRAMはNANDフラッシュメモリに比べ，高速・低消費電力で動作し，かつ揮発性のDRAMに対し不揮発性メモリとしての特徴を持つ。さらに，PCRAMに用いられる相変化材料は，既に実用化されている記録型DVDやBlue-ray Disc™に用いられている為，材料的な信頼性が高い。この事から，早くからSCMの第一候補として注目され，各デバイスメーカーは量産化に向けて，開発を進めてきた。

2.2 PCRAMを用いたアプリケーション

PCRAMは，SCMはもとより，人工知能（AI）への展開のキーテクノロジーと位置付けられる人間の脳の神経回路を模したニューラルコンピューティングへ

[*1] (株)アルバック　先進技術研究所
（〒410-1231　静岡県裾野市須山1220-1）

の応用が期待されている。前述のように相変化材料は，ジュール熱により結晶とアモルファスの状態を行き来するが，このジュール熱の発生をパルス的に制御する事により，徐々に結晶化を進行させることが出来る。これにより，素子の電流の通りやすさ（コンダクタンス）を線形に制御させることが出来る。この様子は，人が学習により神経回路を繋げていく過程に類似している。このような相変化素子の特徴を生かし，コンピューティングに利用する試みが世界的に行われている。相変化材料に求められる膜性能，及び成膜技術については６章で説明する。

2.3　3Ｄクロスポイント型デバイスと必要な材料

PCRAMは将来的に期待される材料であるが，デバイスとして量産展開する場合，大容量化を如何に実現するかが非常に重要になる。2009年のIEDMで，Intel/Numonyxにより記憶素子としてPCM，選択素子としてOvonix Threshold Switch（OTS），さらにそれらを電極材料で挟みこんだ構造（PCMS）によるデバイス動作について報告され（Fig.1）[2]，よりコンパクトなセル構造による大容量化の可能性が示された。そして，このような抵抗変化素子と選択素子を組み合わせた3Dクロスポイント型デバイスが，2015年にIntel/Micronから報告された（Fig.2）[3,4]。この３D XPoint™ memoryという商品名でリリースされた構造では，直交するWord LineとBit Lineの間を繋ぐ位置に，記憶素子を配する構成となり，大容量抵抗変化型デバイスの量産化への道が切り開かれた。

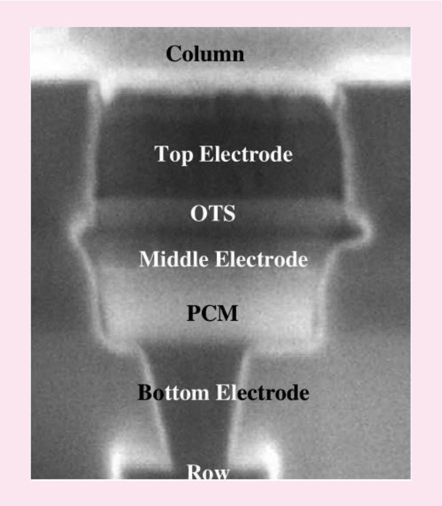

Fig.1　Device structure with Phase change element and Selective element. ©2009 IEEE. Reprinted, with permission, from Ref.1

2.4　要求される膜特性と成膜技術

我々は，PCRAM材料のスパッタ成膜プロセスの開発に15年以上前から取り組んでいる。PCRAMのメモリ素子を実現する為には，先にも述べた相変化素子，選択素子，電極（カーボンが広く使われている）に対して，適切な膜特性と量産性を実現しなければならない。代表的な膜構成としてIntelの公表特許公報（P2018-502444）[4]で紹介されているPCMS構造（Fig.3）を基に説明する。

・相変化素子：カルコゲナイド材料からなる多元系で，Ge，Sb，Teを主成分とした材料で，前述のように電圧印加で低抵抗の合金状態と高抵抗のアモルファス状態のどちらかの状態となり，電圧印加をやめてもその状態が維持される。低温で成膜された膜はアモルファスで，結晶化温度以上で成膜されると合金状態となる。より安定な放電を実現させる為，RFスパッタ，又はパルスDCスパッタ法により成膜が行われる。また，結晶化温度はデバイスの用途，要求仕様により異なり，これをコントロールする為にターゲット組成や成膜条件を調整する事になる。
・選択素子：材料は相変化素子と同じカルコゲナイド材料であるが，AsやSeを含む材料が用いられ，相

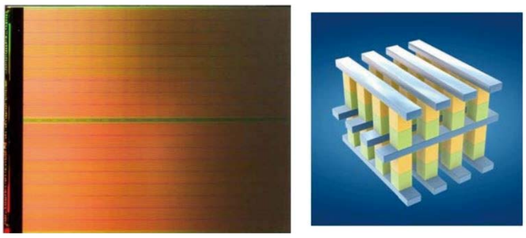

Fig.2　128Gb 3D XPoint™ die and structure. ©2015 IEEE. Reprinted, with permission, from Ref. 3

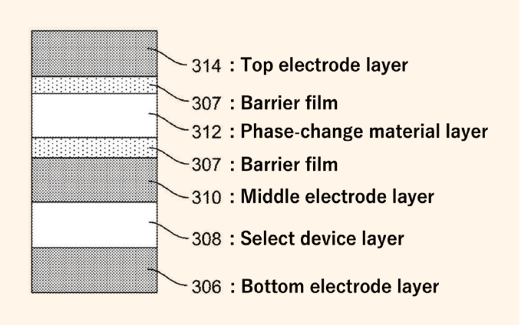

Fig.3　PCMS structure in Intel's patent

変化素子とは異なり室温では高抵抗のアモルファス状態となる。ターゲットの材質がもろく壊れやすいという特徴があり，低パワーのRFスパッタで行われる。また，この材料に含まれる砒素やセレンやその化合物は，毒物に指定されている為，メンテナンスや成膜後の基板の取り扱いについて，安全対策を十分に講じる必要がある。

・電極材料（カーボンなど）：電極材料には抵抗率（1～100 mΩcm）制御，平滑性，密着性が求められる。文献4）では，電極材料として，カーボンその他の材料が列挙されている。カーボンをスパッタ成膜する場合，生産性を考える上では，上記に加えてパーティクルも顕著な問題となる。ターゲット部材も含めて検討が必要となる。また，カルコゲナイドは，加熱されることで，構成元素の一部が接触する電極材料へ容易に拡散する材料である事が知られており，拡散防止のバリア膜が必要になる。

アルバックでは，これら多層膜のIn-situプロセスを可能にする装置として，マルチチャンバー型スパッタリング装置「ENTRON™-EX W300」に各モジュールを接続し，開発を進めてきた（Fig.4）。次章からは，相変化素子，セル選択素子，電極材料について，各技術開発の成果を説明する。

Fig.4　ENTRON™-EX W300

3. 相変化素子成膜技術の開発

相変化素子を不揮発性メモリとして利用するために，いくつかの性能要求がある。Table 1に性能要求とそれを実現するための材料特性等を示す。相変化素子では素子に流す電流によるジュール熱で相変化を発生させる。低消費電力を実現するためには，低融点の材料を用いて電流量を抑えること，素子周辺から必要以上に熱が逃げないような材料および構造を構築する，また，結晶状態を高抵抗化することで効果がある。長期データ保持特性の観点では，保存環境中で相変化，すなわち，結晶化しないことが重要である。これについては結晶化温度の高い材料を選択することが有効である。データの書き込みは一度融点以上に上げてから冷却する過程で行うが，結晶化は材料に依存し，結晶化速度の速い材料を選択すれば高速動作が実現できる。繰り返し書き換え耐性においては，材料，構造など要因が考えられるが，その主要なものは材料起因であり，中でも相分離が発生してしまうことが課題となっている[6)]。

相変化素子は不揮発性メモリより先行して実用化された相変化型光ディスクと同じ材料系であるGe-Sb-Te系材料（GST）を用いている。相変化型光ディスクではGST薄膜の相変化をレーザによって誘起させているが，相変化素子では電極材料に挟まれた積層構造によって，そこを流れる電流で誘起している。同構造では電極との積層構造になるため，光ディスクとは異なる生産技術が必要とされる。以下にGSTの成膜技術と特徴について述べる。

Table1　Requirement specification for Phase change element and process and material properties for the device performance

Performance requirements	Material properties
1) Low power consumption	Low melting point
	Low thermal-conductivity material and element structure
	Higher resistance for crystalline state
2) Long-retention	Crystallization at high temperature
3) High speed operation	High crystallization speed
4) High-endurance	Less segregation

3.1　GST薄膜の成膜技術

GST薄膜の成膜，特に量産向け成膜技術としては，所望の組成比で構成されたGSTターゲットを用いた平行平板型のスパッタリング法が採用されている。生産に必要とされる，大面積均一性と高速成膜および長期成膜安定性を同時に実現することが可能なためである。GSTは導電性ではあるものの，高抵抗材料（結晶：数mΩcm～アモルファス：数百Ωcmの混晶）であるため，パルス化された直流（DC）スパッタリングを用いている。何らかの要因によってターゲット上の放電面内で抵抗変化の生じることがあるが，この時に発生する異常放電をパルス化によって抑制することができ，長期の生産安定性を保持することが可能になる。これに加え，所望の膜質，特性を得るために，ターゲットの組成を変更，添加物の付与，また，プロセス条件の調整を行ったりしている。

3.2　抵抗変化材料の結晶化温度の制御

本項では実際に作製したGST薄膜の特性の一例を紹介する。Fig.5 (a) に作製したGST膜の相変化，すなわち，抵抗変化の具体例を示す。GSTに何等かの元素を添加することによって結晶化温度を制御することが可能であるが，本実験では添加元素として酸素及び窒素の例を示している。いずれの膜においても，高抵抗状態から温度が上昇するにつれて低抵抗化していることがわかる。また，酸素及び窒素を添加することによって相変化温度を上昇させることが可能であることを示している。これらの膜の結晶状態をX線回折法（X-ray diffraction method, XRD）によって調査した結果をFig.5 (b) に示すが，相変化はアモルファスから立方晶（fcc）を経て，六方晶（hcp）に変化していることがわかるが，抵抗変化と相変化温度は一致していることがわかる。

4.　OTS成膜技術の開発

OTSは相変化材料であるGSTと同じカルコゲナイドガラスの一種であるが，その中でも絶縁体であり，かつ，現在の主流である材料系では砒素などの毒物を含んでいることから成膜技術の構築には様々な課題がある。下記に詳述するが，絶縁体物のスパッタリングにおいては長年の蓄積があり，そのノウハウを有効活用することができた。OTS材料の取り扱いにおいては，専用の開発機を設置，検討及び検証を繰り返して，安全に取り扱う技術を構築するに至っている。

4.1　絶縁物スパッタリング技術

上述の通りOTSは絶縁物であり，所望の材料と組成によって構成されたOTSターゲットと平行平板型の高周波（RF）スパッタリングを用いて成膜を行っている。GSTで述べた理由と同様で，大面積基板上への均一成膜，長期の成膜安定性を得るためである。RFスパッタリングは電力効率が良い方法ではないため，多くの電力が熱として消費されてしまう。カルコゲナ

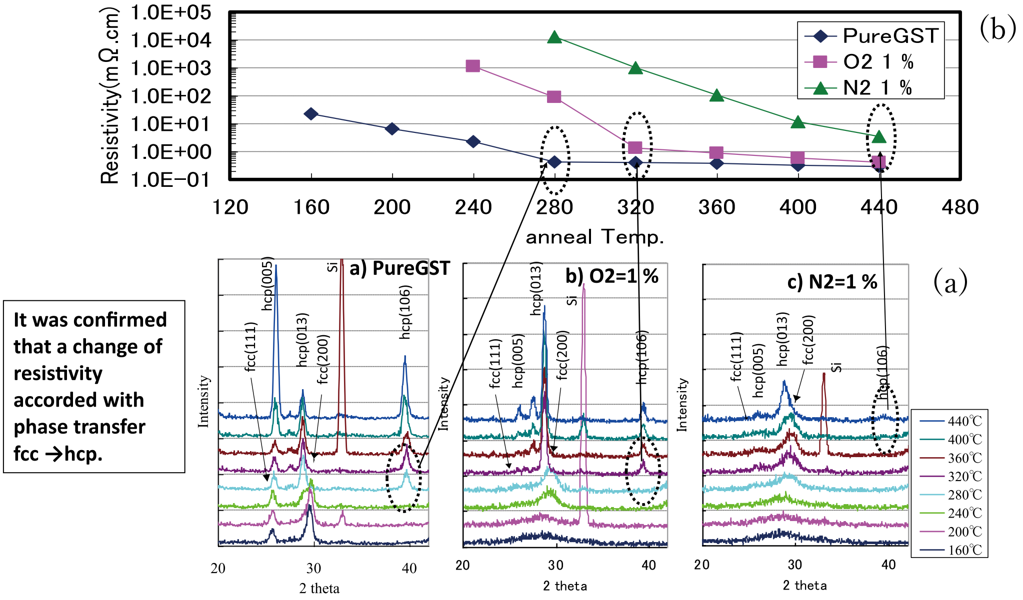

Fig.5　Change of crystallization temperature with doping elements

イド材料は熱伝導率が低い一方で，熱膨張率が大きいという特性を有していることから，スパッタ中の発熱によってターゲットの破損に至ってしまうという問題がある。従来のRFスパッタリング技術のみでは量産に耐えうる安定した運用は困難であり，OTSに合わせた成膜技術を構築しているが，高速成膜の実現では更なる改善が必要な状況である。

高速成膜の点では未だ開発要素が残されているが，構築したRFスパッタリング技術によってOTS薄膜の安定的な生産が可能となっている。作製したOTS薄膜の膜質の一例をFig.6に示すが，膜厚分布５%（１σ）以下を達成している。その他，組成分布５%（１σ）以下，表面粗さ（Rms）１nm以下，パーティクル50個（80 nmUP）以下も達成している（Table 2）。

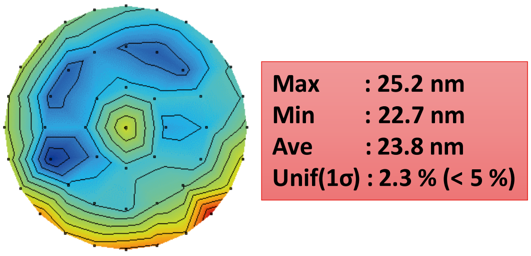

Fig.6　OTS thickness uniformity map on 300mm φ substrate

Table2　Requirement performance of OTS deposition process

Item	Specification
THK uniformity (1σ)	< 5.0 %
Comp. uniformity (1σ)	< 5.0 %
Surface roughness (Rms)	1.0 nm or less
Particle (80 nm or greater)	< 50 pcs.

4.2　環境，人体へ配慮したシステムの構築

前述した通り，OTSには毒物である砒素等が含まれており，その取扱いにおいて，環境，人体に配慮したシステムの構築が必要である。装置を含む構築されたシステムには多くのノウハウが投入されており，本項ではその詳細説明については割愛させて頂くが，以下の項目について検討，改善が行われている。

１）装置全般およびユーティリティ関連技術

（ア）砒素等含む毒物を安全に取扱う方法

（イ）メンテナンス時に発生する毒ガスを抑制する方法

（ウ）OTSターゲットやOTS膜が付着した基板が破損した際の対処方法

２）成膜装置およびプロセス技術

（ア）（安定したプロセスを実現するための）スパッタリング手法，装置の検討

（イ）OTSターゲットの品質チェック方法

（ウ）安全に運用するためのプロセス条件の検討

5. 電極材料成膜技術の開発

電極材料として主にダイヤモンドライクカーボン（DLC）が用いられている。DLCはグラファイトとダイヤモンドの中間的特徴を持ち，導電性，バリア性，安定性を両立した優れた性能を有している。不揮発性メモリ用，特に，三次元構造を有するメモリ用の電極として要求されるポイントは３つある。①膜質分布，②表面粗さ，および，③パーティクルである。

5.1　膜質の決定要因と制御方法

DLCの膜質を決める要素はカーボン原子同士の化学結合であり，具体的にはsp^2とsp^3の比率で決まる。sp^2の比率が大きいとグラファイト寄りになり，導電性は向上するものの，バリア性，安定性は低下する傾向にある。sp^3の比率が大きい場合はその逆の傾向を示す。DLCを使用する場所や目的に応じて，膜質及びそれを実現するための最適な成膜プロセスが選択される。成膜条件により膜質及びその分布，表面粗さが変化する。

DLCの成膜において，パーティクルの低減が大きな課題となる。パーティクルの発生に影響を与える要因として，スパッタリングターゲットの品質及び成膜手法が挙げられ，それらの選択には留意しなければならない。

5.2　膜質制御の具体的事例

膜質制御の具体的事例として，基板を設置するステージに電気的なバイアスを印加するステージバイアスの効果を紹介する。スパッタリング法においては，ステージバイアスの印加によって膜質を制御できることが知られている[7]。DLCの成膜において，ステージバイアスとしてRFを投入した例を示す。Fig.7 (a) に比抵抗，Fig.7 (b) に表面粗さのバイアスパワー依存性を示す。いずれの特性もステージバイアス印加及びその印加パワーの増大によって改善していることがわかる。活性種（正イオン）の引き込みにより，膜の高密度化と表面の平滑化が促進されているものと考えられる。

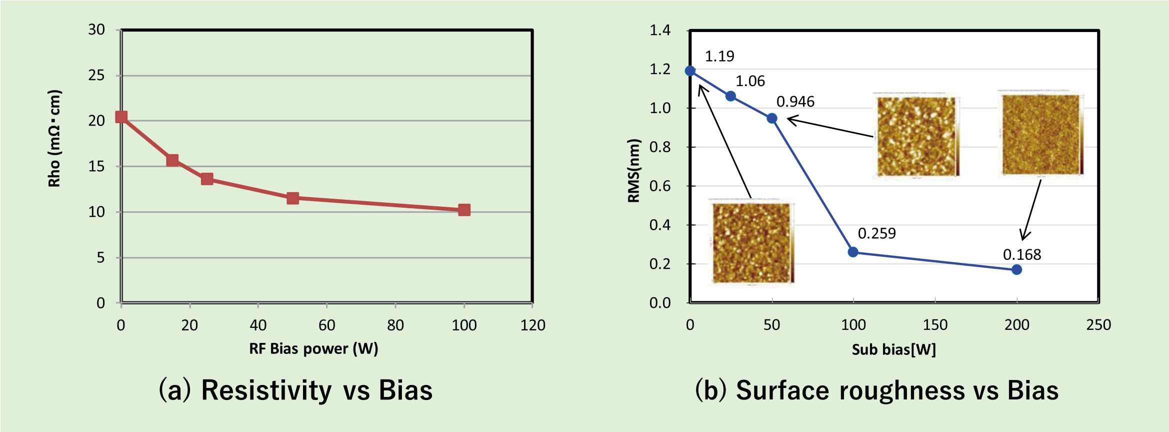

Fig.7　RF-Bias power dependency of resistivity and surface roughness

Table3　Standard process requirements of DLC film

Item	Specification
THK uniformity (1σ)	< 3.0 %
Surface roughness (Rms)	< 1.0 nm
Resistivity	< 30 mΩ・cm
Particle (50 nm or greater)	< 100 pcs.

5.3　DLC膜の代表的な特性

上記で述べてきた通り，DLCの成膜にはスパッタリングターゲット，成膜手法，プロセスを組み合わせ，最適な膜質になるように調整している。Table 3に標準的な成膜条件によるDLC膜（膜厚15 nm）の代表的な特性を示す。特筆すべきは，表面粗さ（Rms）は１nm未満であること，パーティクルは粒径50 nmUPで100個以下を達成していることである。

6.　AIデバイスへの応用

第２章で説明したようにPCRAMは，神経回路に相当する素子の抵抗値の変化という形で疑似的に表現できると素子として利用できるが，ここでは具体的にどのような技術が必要なのかを議論した後で，これまでの開発成果について紹介する。

6.1　必要なデバイス特性

ニューラルコンピューティングに不揮発メモリ素子としてPCRAMを応用する場合，抵抗ドリフトと消費電力の低減が重要になる。

1）抵抗ドリフト：材料は，原理的に高抵抗のアモルファス状態では，抵抗ドリフトによって抵抗は時間と共にべき乗則（~$t^{0.1}$）に従ってゆっくりと増大していく。アナログ的な抵抗値そのものがコンピューティングにそのまま影響を及ぼすAIデバイスでは，深刻な課題となる。IBMはMetallic linerという高抵抗アモルファス状態になった時の電流バイパスを設ける方法を提案した[7]。

2）消費電力：現状のAIデバイスは，人の脳と比較して，数千～数万倍の消費電力を使用するという実験結果がある。並列処理の各々の電流消費を削減する必要があり，その為には抵抗素子である材料の高抵抗化が必要となる。具体的には，相変化材料に酸素などをドープする新たなプロセス開発が必要となる。または，電流の通り道を極力少なくすることで高抵抗化を図ることも考えられる。

6.2　CVD-GST膜技術を用いたアナログコンピューティングの実証

前述のPCRAMのニューラルコンピューティングへの応用として，我々はPCM-CVD技術を用いて作成されたFill-in confined PCRAM素子を用いて，機械学習を行い，その結果をMNISTで正答率を評価した。

初めにFig.8に今回用いたPCRAM素子のインテグレーションスキームを示す[9]。特徴としては，Confined-cellにGSTを埋め込む前に金属性の薄膜を敷くことで，上下の電極に挟まれたGST素子が高抵抗のアモルファス状態に相変化した際の電流バイパスの役割をこの薄膜が担う構造になっていることである。この構造を用いて，アナログ動作をさせた時，40 kΩと500 kΩの間の各抵抗値に制御することが出来，抵抗ドリフトが

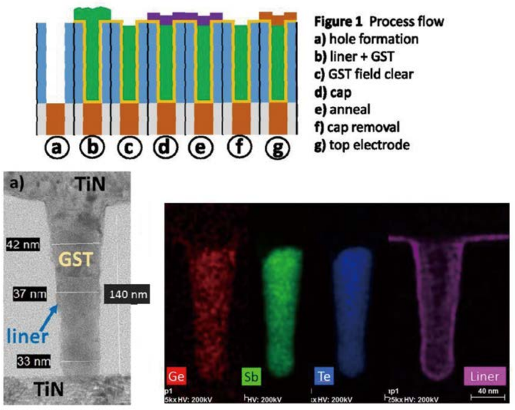

Fig.8　Integration scheme of Fill-in confined PCRAM and Results of GST filling. ©2015 IEEE. Reprinted, with permission, from Ref.8

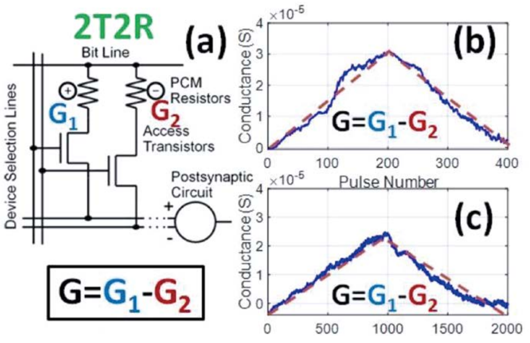

Fig.10　Linear Controllability of GST resistance with 2T2R circuit. ©2019 VLSI. Reprinted, with permission, from Ref.9

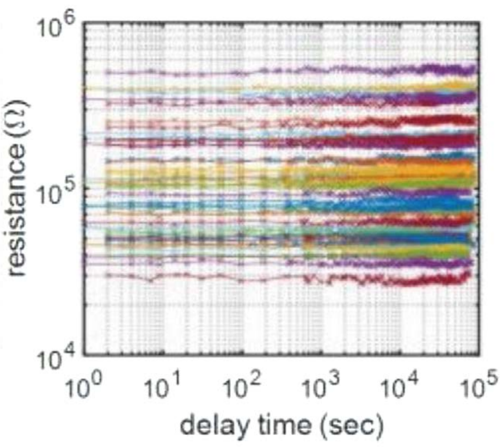

Fig.9　Control of GST resistance with performance of low resistance drift. ©2019 VLSI. Reprinted, with permission, from Ref.9

ドリフト係数0.005という十分低い値に抑えられ，一定値を示し続けていることが示された（Fig.9）[10]。

本デバイスを機械学習に用いる場合，抵抗値を上下させる必要がある。今回，Fig.10のように２つの相変化素子をFig.10のように組み合わせて2T2R回路を作り，その差分を出力さえると出力値を上下させることが出来る。このデバイスを補完するもう一つの2T2R回路をさらに組み合わせた4T4R回路を用いて機械学習をさせることで，MNISTで97.4 %の正答率が得られた。この事から，相変化材料は将来的にAIデバイスへの応用が可能であることが示された[10]。

7. まとめ

本稿では，相変化メモリ向けの成膜技術とプロセス開発について説明した。長年の不揮発性メモリ開発の継続が実を結び，SCMやAIデバイスへと応用範囲の裾野は広がってきている。特色のあるカルコゲナイド材料に適したPCRAM装置とプロセス技術を基に，量産性向上と，より高性能で高集積化に向けた開発が継続している。今後，高速データ処理やエッジコンピューティングなど身近なニーズへ我々の技術が役に立つことを希望する。

文 献

1） R. Freitas and W. Wilcke : IBM Journal of R. and D., **52 (4/5)**, p.439-447 (2008)
2） D. Kau, S. Tang, I. V. Karpov, R. Dodge, J. A. Kalb, J. Stand, A. Diaz, N. Leung, J. Wu, S. Lee, T. Langtry, K. Chang, C. Papagianni, J. Lee, J. Hirst, S. Erra, E. Flores, N. Righos, H. Castro and G. Spadini : IEDM Tech. Dig. (IEEE, 2009), p. 617.
3） Intel News Release, July 28, 2015 (http://newsroom.intel.com/community/intel_newsroom/blog/2015/07/28/intel-and-micron-produce-breakthrough-memory-technology) (Last accessed: 2021-1.10)
4） P. Cappelletti : IEDM Tech. Dig., p. 10.1.1-10.1.4. (2015)
5） C. W. Petz, Y. J. Hu, D. W. Collins and A. McTeer : U. S. Patent 9, 419, 212 B2 (2016).

6) A. Debunne, K. Virwani, A. Padilla, G. W. Burr, A. J. Lellock, V. R. Deline, R. M. Shelby and B. Jackson: Journal of The Electrochemical Society, **158**, (10) H965-H972 (2011).
7) S. C. Seo and D. C. Ingram: J. Vac. Sci. Technol. **A 13** (6), Nov/Dec (1995).
8) S. Kim, N. Sosa, M. BrightSky, D. Mori, W. Kim, Y. Shu, K. Suu and C. Lam: IEEE Trans. Electron Devices, **63**, 10 (2016).
9) M. BrightSky, N. Sosa, T. Masuda, W. Kim, S. Kim, A. Ray, R. Bruce, J. Gonsalves, Y. Zhu, K. Suu and C. Lam : IEDM Tech. Dig., p. 3.6.1-3.6.4. (2015)
10) W. Kim, R. L. Bruce, T. Masuda, G. W. Fraczak, N. Gong, P. Adusumilli, S. Ambrogio, H. Tsai, J. Bruley, J. –P. Han, M. Longstreet, F. Carta, K. Suu and M. BrightSky: Proc. of 2019 Symp. on VLSI Technology, (Kyoto, Japan) (2019), p.66.