半導体多層配線における成膜技術

高澤悟*1・園田和広*1・隣嘉津彦*1・植松正紀*1・小風豊*1

Deposition Technology for Multilayer Wiring of Semiconductor Device

Satoru Takasawa*1, Kazuhiro Sonoda*1, Kazuhiko Tonari*1, Masaki Uematsu*1, and Yutaka Kokaze*1

Institute of Advanced Technology, ULVAC

Institute of Advanced Technology, ULVAC, 1220-1 Suyama, Susono, Shizuoka, 410-1231, Japan

We have developed pretreatment technology, Cu sputter deposition technology, and CVD-Co deposition technology for semiconductor multilayer wiring technology. The New remote plasma Process of the pretreatment technology suppressed the damage to the Low-k film, and the uniformity in the wafer surface and the stability of the continuous treatment were obtained. The New CVD-Co Process realized a uniform film formation with a film thickness of 1.5 nm and obtained good coverage performance in a fine pattern. In the future, these wiring formation technologies are expected to be applied to Logic and Memory Devices.

1.)はじめに

近年,LSI (Large Scale Integrated Circuit) はパソ コンやスマートフォンの他に家電や自動車などにも搭 載され,あらゆるモノがインターネットで繋がるIoT (Internet of Things) 社会の実現のためには重要な 半導体デバイスである。LSIはムーアの法則に従って 微細化により集積度向上を続けてきたことは知られて いる。Fig.1のようにその金属配線はSi基板上のトラン ジスタ同士を接続するため三次元的な多層構造になっ ている。2020年現在では多層配線の最下層配線におけ



*¹ 株式会社アルバック 先進技術研究所 (〒410-1231 静岡県裾野市須山1220-1)

る最小配線幅は20 nmまで微細化されており, さらな る微細化に向けCuやCVD-Coを用いた金属配線やSiO2 やLow-k材料を用いた層間絶縁膜などの材料開発も進 められている¹⁾。

著者らは半導体多層配線技術として,前処理技術, Cuスパッタ成膜技術および最先端配線材料のCVD-Co 成膜技術を開発した。本著では弊社の半導体多層配線 用スパッタ装置「ENTRON」における前処理技術, Cuスパッタ成膜技術および次世代配線材料のCVD-Co 成膜技術について紹介する。

2. 前処理技術 リモートプラズマ

2.1 背景

半導体多層配線は層間絶縁膜をエッチング加工され たトレンチ溝及びビア穴 (デュアルダマシン構造) に 金属材料を埋め込むことで形成される。金属材料はま ず初めにスパッタ法でバリア層(Ta/TaN)とシード 層(Cu)が成膜され、続いて電解めっき法でCuを埋 込み, 化学的機械研磨 (CMP) で平坦化することで 配線形成される。これら工程を繰り返すことで半導体 多層配線が構築される。多層配線の最表面にはCuの 自然酸化膜が存在している。そのCu酸化膜は配線間 のコンタクト抵抗を増加させデバイス特性に悪影響を 及ぼすため、スパッタ工程前に酸化膜を除去する技術 が必要である。従来は誘導結合プラズマ(ICP)のプ ラズマにより水素イオンを発生させ、RF基板バイア ス印加により水素イオンを基板へ引き込みCu酸化膜 を還元する技術が用いられてきた。近年、微細化への 対応のため層間絶縁膜にはLow-k材料が主流となって



いる。しかし,Low-k材料は水素イオンに対して耐性 が弱く,誘電率が上昇する問題を引き起こす。そのた めLow-kに対するダメージを抑制かつCu酸化膜を還元 可能な前処理技術が必要である。そこで我々はプラズ マ源とウェーハ処理室を隔離することで水素イオンを 遮蔽し,水素ラジカルを用いたリモートプラズマ技術 を開発した(Fig.2)。

2.2 ウェーハ上への水素ラジカル到達のために必要 な条件

水素ラジカルは再結合までの寿命が短く失活しやす い。失活の要因として、水素ラジカルが装置内壁や構 造物に衝突することが挙げられる。その対策として装 置内の構造物を水素ラジカルに適した材質を使用する ことが重要となる。適した材質は再結合係数²⁾により、 金属表面よりも酸素終端している酸化膜表面を持つ材 質のほうが再結合係数は小さい。また、リモートプラ ズマ中に酸素ガスを添加することも水素ラジカルの長 寿命化に効果的である。酸素添加により装置内壁や構 造物の表面を酸素終端しているためと考えられる。し かし酸素は層間絶縁膜であるLow-k膜を構成するメチ ル基を引き抜く懸念がある³⁾。疎水基であるメチル基 が引き抜かれると水分が吸着しやすくなり、水分によ ってLow-k膜のk値が上昇する。そのため酸素供給の コントロールも重要となる。

2.3 Cu膜表面における還元評価

Cuの自然酸化膜CuOxを用い還元評価を実施した。 評価手順は熱酸化膜ウェーハ基板上にスパッタCu膜 を60 nm成膜後,大気暴露し自然酸化膜CuOxをCu表 面に形成させた。最表面に自然酸化膜CuOxが形成さ れたウェーハ基板をリモートプラズマで水素ラジカル 処理により還元し,真空状態のままスパッタCu膜を 60 nm積層させた。膜構成としてCu(60 nm)/CuOx/



Cu(60 nm)/熱酸化膜となり、CuOx層はリモートプラ ズマ処理された膜となる。還元処理有無のサンプルに おいてSIMS分析により酸素濃度を比較した。

Fig.3にSIMS分析結果を示す。還元処理無し条件で はCu膜中の膜厚領域40 nm~70 nmにおいて約5E+21 atoms/cm³の酸素濃度であった。一方,還元処理有り 条件ではCu膜中の同膜厚領域における酸素濃度ピー クはスパッタCu膜の酸素濃度まで減少していること が確認された。これはリモートプラズマによる水素ラ ジカルにより,CuOxが還元され酸素が除去されたこ とを示している。

2.4 CuOx還元条件におけるLow-kの誘電率評価

次に還元条件を用いてLow-k膜の誘電率変化を評価 した。評価サンプルはApplied Materials社製のシリコ ン系(SiOC)のLow-k膜であるBlack Diamond II xを 用いた。リモートプラズマによる水素ラジカル処理後, 誘電率の測定には水銀プローバーを用いLow-k基板面 内を測定した。Table 1より還元処理前のk値は2.5~ 2.6の範囲,還元処理後は2.5~2.6の範囲であり,還元 処理前後でLow-k膜の誘電率の変化は殆ど無いことが 示された。

Table 1 Dielectric constant of Low-k film

	Before remote plasma process	After remote plasma process
Low-k k値	2.59	2.57



2.5 リモートプラズマの面内分布・安定性評価

還元処理の面内分布評価および安定性評価のため, Cuの酸化膜が形成された300 mm φ ウェーハにより反 射率測定を行なった。

- ・光学波長:436 nm
- ・測 定 点:49点 Edge Cut 3 mm
- ・相対反射率:Cu反射率/Bare Siウェーハ反射率
- \cdot Number of wafers : 1 ${\sim}40000$ pcs.

Fig.4に還元処理後の相対反射率と面内分布の連続 安定性結果を示す。ウェーハ枚数4万枚に相当する連 続処理をおこなったところ,Cuの相対反射率および ウェーハ面内分布において安定した結果を得た。

3. Cu配線Sputtering技術

イオン化スパッタ技術SIS(Self Ionized Sputter) により微細な配線パターン基板への均一なステップカ バレッジを実現している⁴⁾。自己保持放電によりCuイ オン生成量を高め、空間電場および空間磁場を制御す る機構とウェーハに負バイアスを印加することにより、 Cuイオンをウェーハに引き込む原理でカバレッジを 向上する技術である。Fig.5に装置図を示す。スパッ





3

タ室内部のシールドに正電圧を印加する機構やチャン バー外の電磁石コイルによりスパッタ室内の空間に磁 場を発生させる機構が搭載されている。これらにより 周辺に逃げていたCuイオンを収集し、ウェーハへの イオン供給量を高めるかつCuイオンを垂直に入射す ることが可能となる。

空間磁場を制御有無の条件におけるパターン基板へ のCuスパッタのカバレッジ結果をFig.6に示す。空間 磁場を制御しない場合,Cu粒子がウェーハ中央方向 からの入射成分がパターン基板へ多く入射される。そ のため、側壁へのCu膜厚が左右非対称となり、ビア 底のCu膜は傾斜した形状をしている。カバレッジ不 良は後工程のめっき工程においてボイドの要因となり、 エレクトロマイグレーションの問題を生じさせる。一



方,空間磁場を制御することによりCuイオンの指向 性が向上し,側壁は左右対称かつビア底は平坦な形状 のCu膜を形成され良好なカバレッジを示している。

4. 次世代配線材料CVD-Coの開発

最先端ロジックデバイス Cu配線工程には信頼性向上 とCu埋込マージン向上のため、CVD-Co-linerが使用さ れている。また、近年ではDRAM工程への展開も計画 されていてその用途が広がっている。これまでに著者ら はCVD-Co装置および成膜技術について報告してきた⁵⁾。 今回、Co-linerに必要とされている膜特性(薄膜・抵抗・ Coverage)と埋込評価結果に関して紹介する。

1) 薄膜および抵抗

Co Linerで用いられるCo層の膜厚は1~2nmの薄 膜で使われる。Fig.8に比抵抗と表面モフォロジーに ついて膜厚依存性結果を示す。膜厚が薄くなる程,比 抵抗は上昇する傾向を示す。膜厚1.5nmにおいて成膜 条件の最適化により比抵抗約10000 μ Ω cmのCo薄膜を 得た。またモフォロジーに関しては凹凸の小さい緻密 な膜形状を示している。

2) カバレッジ特性

パターン基板(トレンチ幅17 nm, AR 4.3)を用い てCoカバレッジ評価結果のTEM像をFig.9に示す。ト レンチ壁に対しCo膜厚2 nmが均一に形成されており





良好なカバレッジ結果を得た。

3)埋込

Fig.10に示したCuリフロープロセスにより300 mm φウェーハに対する埋込評価を実施した。Fig.11にウ ェーハ中央のセンター部と基板端 3 mmにおけるエッ ジ部のパターン基板の断面図を示す。これよりウェー ハ面内においてほぼ100 %の埋込が確認される。また、 トレンチ深さ220 nmにおいてA/R=2~10のパターン 形状の埋込評価を実施した。Fig.12より、全てのパタ ーン形状においても良好なCu埋込が可能であること を確認できる。







5. まとめ

半導体多層配線技術として、リモートプラズマ技術、Cuスパッタ成膜技術およびCVD-Co成膜技術を開発した。これら配線形成技術はロジックデバイスの他にもDRAMなどのメモリーデバイスへの適用も期待される。ただし、今後も半導体デバイス向けの配線形成技術はさらなる微細化への対応などの要求が予想される。我々装置メーカーは市場要求に対応できるよう装置開発を進め、付加価値を高めた装置提案ができるよう努める必要がある。

文 献

- 1) T.Nogami : Proc.of ADMETA (2020)
- 2) MKS App. Note, 02/16-6/16, 2016 (https://www. mksinst.com/mam/celum/celum_assets/ resources/HydrogenToroidalPlasmaSources-AppNote.pdf)
- 3) 栗原一彰, 中崎靖:表面化学31, (3), 150 (2010).
- 4) S.Toyoda : SEMI News 5-6, 24, (2007)
- 5) Y.Kokaze, Jpn. J. Appl. Phys. 52 (2013)

6