

パネルレベル高密度実装ソリューション

森川泰宏^{*1}・佐藤宗之^{*1}・藤長徹志^{*1}・谷典明^{*1}・鈴木実^{*2}・岩井治憲^{*2}

High-density Panel Level Package Solution

Yasuhiro MORIKAWA^{*1}, Muneyuki SATO^{*1}, Tetsushi FUJINAGA^{*1}, Noriaki TANI^{*1}, Minoru SUZUKI^{*2}, Harunori IWAI^{*2}

^{*1} Institute of Semiconductor and Electronics Technologies, ULVAC, Inc. 2500 Hagisono, Chigasaki, Kanagawa, 253-8543, Japan

^{*2} Advanced Electronics Equipment Division, ULVAC, Inc. 2500 Hagisono, Chigasaki, Kanagawa, 253-8543, Japan

High-density packaging technologies such as 3D, 2.5/2.1D scheme basing on PCB (Print Circuit Board) substrate are among key technologies to satisfy the requirements from the both smart semiconductor devices and smart functional devices. ULVAC has been continuously developing manufacturing solutions for high-density packaging. In this paper, build-up multilayer technology solutions consisting of etching, ashing and PVD (Physical Vapor Deposition) sputtering to make the high density interconnection PCB panel substrate, will be introduced.

1. はじめに

近年、スマートフォン、タブレット PC に代表されるモバイル端末の急速な普及により IC チップの薄化・小型化が進んでいる。これに対応し、IC パッケージ基板も高密度・薄型化ニーズが高まっており、基板を構成する支持体であるコア層の薄型化も進んでいる¹⁾。一方、ハイエンドサーバ等では、チップサイズが大きく、それによって基板も大型である必要がある。この様にモバイルアプリからサーバアプリと広き分野にわたり高密度実装化トレンドニーズに対応すべく、PCB (Print Circuit Board) 基板のビルドアップ配線形成において、半導体微細化加工技術の導入検討が始まっている。PCB 基板は 510 mm × 510 mm あるいはそれ以上の四角基板 (パネル) で、反りや耐熱性および機械的特性理解とこれら多様なパネルのハンドリングは、従来のシリコンウエハ工程とは異なる特有の課題が存在する²⁾。本寄稿で

は、当社が世界に先駆けてリリースを始めたパネルレベル実装ソリューションの最新の状況について紹介する。

2. パネルレベルビルドアップ工程のドライ化

2.1 プラズマエッチング技術を用いたドライデスミア応用

Figure 1 は PCB インターポザー製造 (ビルドアップ) 工程及を示す。各絶縁膜層を上下で繋ぐ Via の形成は CO₂ レーザードリルが用いられる。Via 形成後、Via 底には「スミア: Smear」と呼ぶ残渣が残る。ビルドアップ膜の材質はエポキシ樹脂と、「シリカフィラー」と呼ぶ SiO₂ 粒子の混載物から成り、一般には「ガラスエポキシ膜」と呼ぶ。スミアもエポキシ樹脂とシリカフィラーから成る。スミアが残ったまま次工程に進んだ場合、Cu との密着性低下や配線の抵抗成分の増加等、配線信頼性低下に繋がる。従ってスミア除去、即ち「デスミア

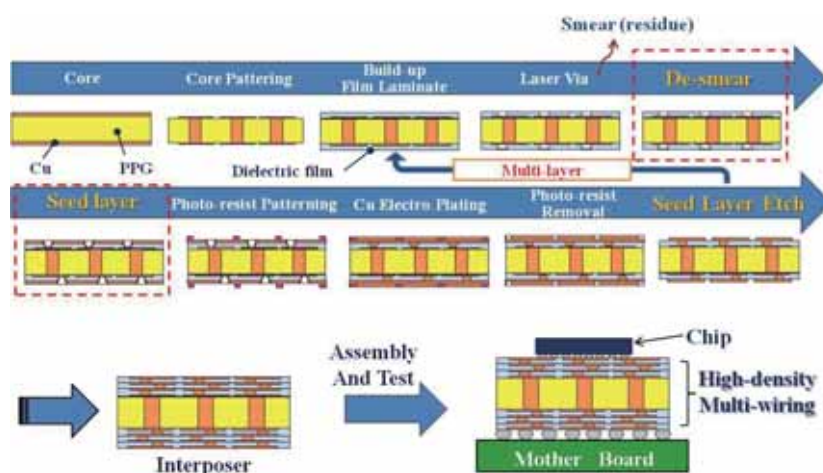


Figure 1 Semi Additive Process Flow for PCB Interposer.

^{*1} (株)アルバック 半導体電子技術研究所 (〒253-8543 神奈川県茅ヶ崎市萩園 2500)

^{*2} (株)アルバック 電子機器事業部 (〒253-8543 神奈川県茅ヶ崎市萩園 2500)

(Desmear)」工程が不可欠となる。現世代はウエットで除去できるが、Via 径 50 μm 以下の小径化トレンドにおいて、様々な課題が見え始めている。例えば 1. 異なる膜質に対して同ウエット処理条件の転用 / 調整が困難、2. 微細 Via の寸法変換精度の制御限界(膨潤課題)、3. Via 側壁の平滑性制御の限界、4. 高アスペクト比 (>2) 対応の不得手、といった点が主に挙げられる。Figure 2 はウエットデスマアからドライデスマア展開の必要性を示す³⁾。図からわかるように、ドライエッチングを用いた場合、デスマア除去時に Via 側壁のシリカフィラーの凹凸も同時にスムージングすることができる。本寄稿に用いたエッチング装置は CCP-RIE(Capacitive Coupling Plasma-Reactive Ion Etch) 方式を用いた。また、ガラスエポキシ膜は、ABF(Ajinomoto Build-up Film) を主に用いた。

Figure 3 は SF6, CF4, O2 の各ガスを用いてガラスエポキシ表面をエッチングした時のガラスエポキシ膜のエッチングレートを示す。エッチングレートは SF6 が最も早く、O2 は最も遅い。これはシリカフィラーが酸素だけではエッチングしないことに起因する。Figure 4

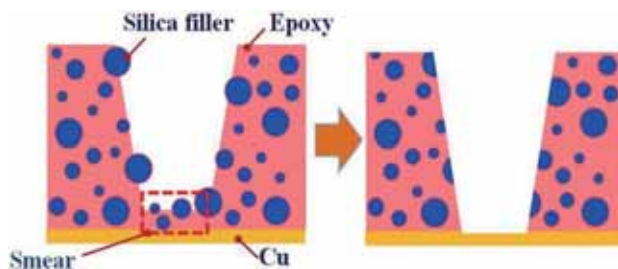


Figure 2 Dry desmear.

はこれらガスの混合比率を変えた時のガラスエポキシ膜のエッチング表面荒れのトレンドを示す。結果、エポキシ樹脂とシリカフィラーのエッチングレートが同じくらいを得るガス混合比条件を適用することでエッチング表面の平滑性が制御できることが判明した。ウエットデスマアの場合の表面を比較に示すが、ウエット処理の方が明らかに表面荒れが大きいことがわかる。以上の結果、プラズマエッチングはウエットプロセスに比べ、各プラズマ条件(ガス比、その他パラメータ) を材質や型式毎に最適化(調整) することができる利点を実証する結果と考察できる。

Figure 5 はレーザードリルを用いて ABF 膜(膜厚 25 μm) に直径 50 μm の Via 形成した後の SEM(Scanning Electron Microscope) 写真と Via 底部を狙って EDX(Energy dispersive X-ray spectrometry) 観察した結果、そして、その後プラズマエッチング技術を用いてドライデスマア処理を行った後の SEM 写真と EDX 観察結果をそれぞれ示す。EDX 結果から、レーザードリル後の Via ボトムには炭素(C)、酸素(O)、ケイ素(Si)のピークがそれぞれ観察されている。これがスミアである。これに対しドライデスマア後は炭素、酸素、ケイ素のピーク強度が大きく減少し、デスマアできたことを示唆している。デスマア後の Via 底表面には、予め表面粗化処理された Cu 電極が露出しているのが SEM 写真から伺える。

Figure 6 はドライデスマア前後での Via 断面と側壁の拡大 SEM 写真を示す。ドライデスマア前は Via 底域にスミアが確認できる。Via 側壁は SiO₂ フィラーの凹凸が顕著に確認されることがわかる。これに対しドライデ

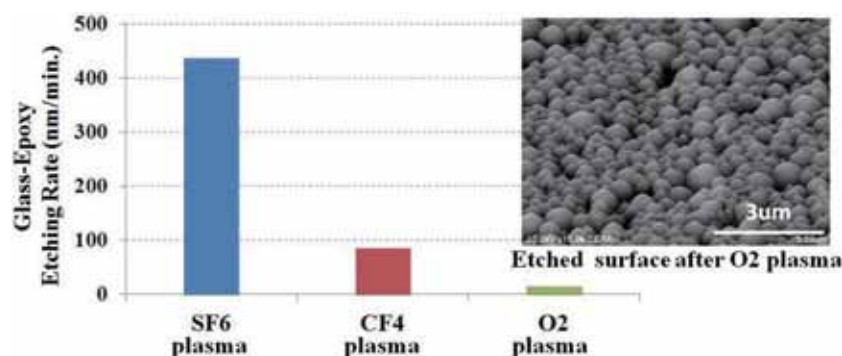


Figure 3 Glass-epoxy etch rate and etching gases.

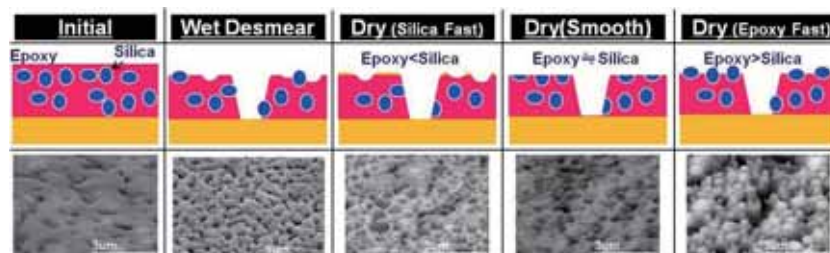


Figure 4 Etched surface of glass-epoxy after desmear.

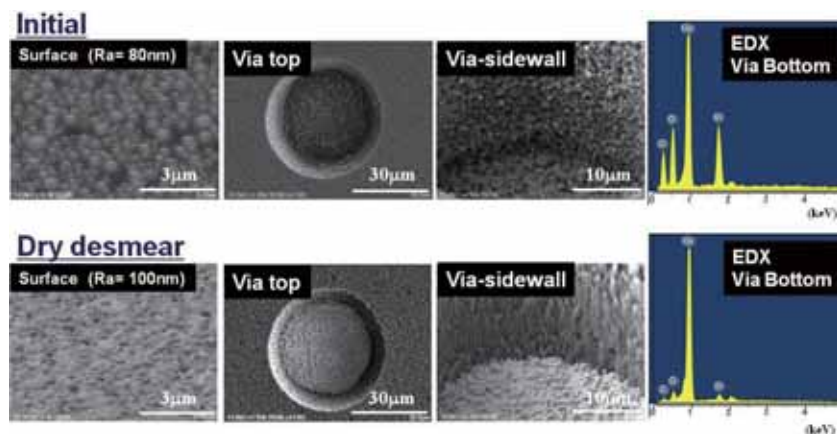


Figure 5 Dry desmear : SEM images and EDX of Via hole.

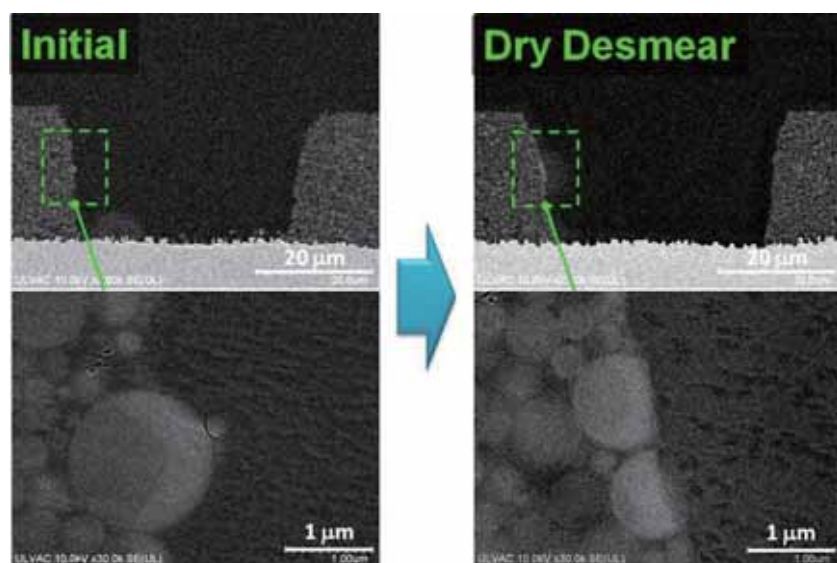


Figure 6 Via Sidewall after dry desmear.

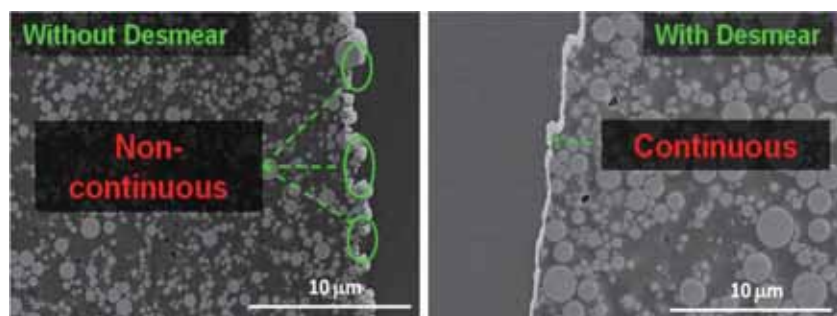


Figure 7 Relationship to seed film formation and sidewall roughness.

スミア後はスミアが除去されていること、そして Via 側壁の SiO_2 フィラーの凸部がデスミアの際にエッチングされ、スムーズな側壁が得られることがわかる。次に Figure 7 はこれらドライデスミア前後の Via を用い、シード Cu を PVD (Physical Vapor Deposition) スパッタで成膜した結果を示す。図から明らかな様に、ドライデスミア前の凹凸側壁上ではシード Cu が連続に成膜できていない。この結果は次工程の Cu の電解めっきの不良リスク懸念が持たれる。これに対しドライデスミア後のシ

ード Cu は連続膜が形成できていることがわかる⁴⁾。以上の様に、エッチング技術を活かしたドライデスミア法は従来ウエットのデスミアでは得られない平滑加工が実証された点、さらに微細化対応技術を併せ持つことから、次世代の高密度ビルドアップ配線形成に不可欠な技術であると考えられる。

2.2 次世代 Cu 配線形成への PVD スパッタ応用

- パネル基板向けスパッタ装置「SMV-500F」™ -
従来の PCB 向けシード Cu は無電解めっき方が用い

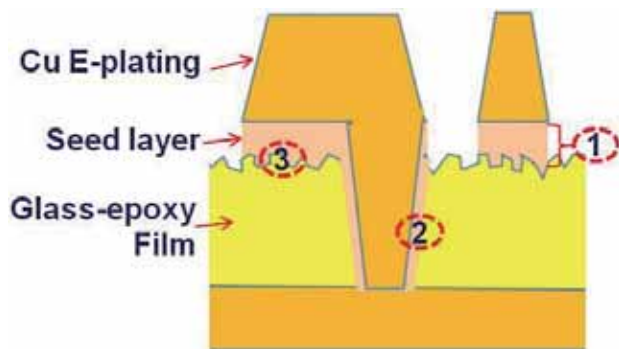


Figure 8 Technical Key Points for Sputtering Seed.

られてきた。しかし前項のデスマアのドライ化と同様、微細化トレンドへの対応、表面平滑な Via とのシード膜の密着性を考慮すると、PVD スパッタを用いたシード Cu 成膜と電界めっきによる Cu 埋め込み工程が不可欠となる。Figure 8 はスパッタシード膜形成時のポイントを示す。1. 薄膜成膜：フィールドのシード層厚の薄化。2. Via 側壁の良好な着きまわり性：1 を実現のため。3. 高密着性成膜：平滑表面への成膜。といった点が挙げられる。平滑表面への高密着成膜、そして 510 mm × 510 mm、あるいはそれ以上のサイズのパネル基板上に均一に薄く成膜制御する技術においても現状の無電解めっき法よりも PVD スパッタ技術が有効である。

「SMV-500F」TM は、薄型の角基板（最大 600 mm × 600 mm サイズ）用の両面スパッタリング装置である。Figure 9 に示すように、外観は装置中央に配置された基板反転兼搬送室に、三つのプロセス室（エッチング、密着層メタルスパッタリング、Cu スパッタリング）とバッファ室兼基板加熱室が接続された構成になっている。基板は、加熱室で脱ガスされた後、まずエッチング室に入り表面がエッチングされる。その後、中央の反転室で基板の表裏が入れ替り、再度エッチング室に入り裏面がエッチングされる。次に反転室を通り密着層メタルのスパッタリング室へ入り、エッチング工程と同様に表→裏と処理される。最後に Cu スパッタリング室へ入り、表→裏と処理される。詳細は参考文献⁵⁾を参照されたい。

本装置を用い、ABF Via にスパッタ成膜および膜評価

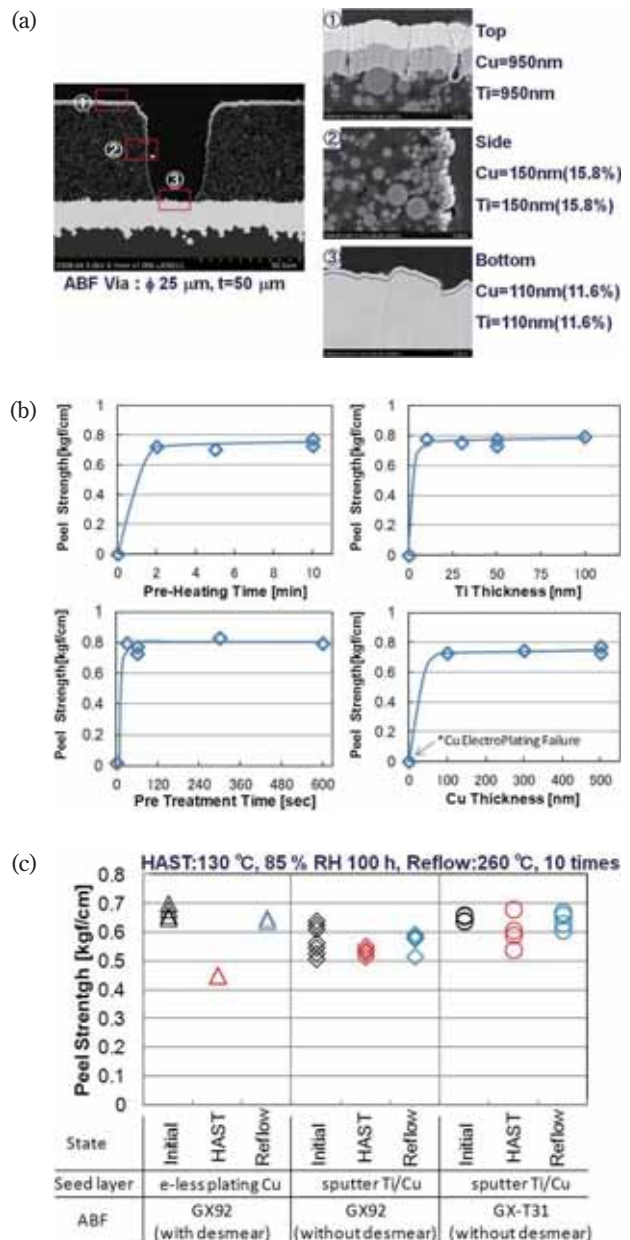


Figure 10 Deposition of seed layers by sputtering. (a) SEM, (b) Peel strength, (c) Peel strength (After hast / reflow).

の結果を Figure 10(a, b, c) に、その後電界めっきを行った結果を Figure 11 に示す^{6, 7)}。

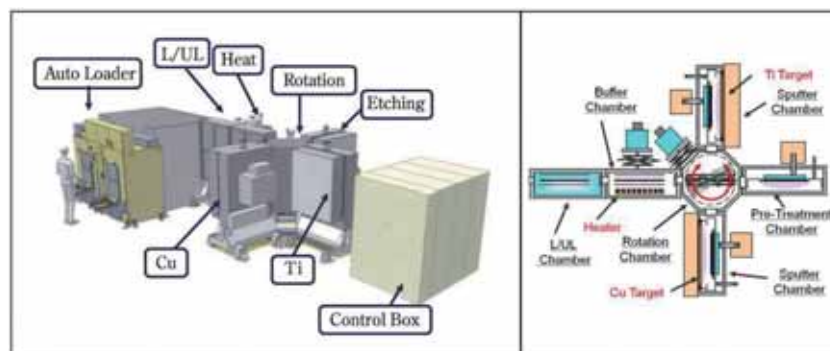


Figure 9 “SMV-500F”TM.

2.3 プラズマアッシング技術を用いたTiエッチング応用 - パネル基板向けアッシング装置「NA-1500」™ -

ビルドアップ工程には両面と片面に大別され、片面工程は2.1Dあるいは2.5Dと呼ぶ樹脂基板のみでの高密度配線インターポザー 응용としてますますその要求が高まっている⁸⁾。表層の配線幅としては現在の20 μm幅から将来は2 μm幅の微細配線がPCB基板表層上に形成が必要とされる。Figure 12にPCB表層の配線形成工程例を示す。WLPにおけるRDI(Re-distribution Layer:再配線)工程と類似部分が多く、デスカム(Descum)及びTiの微細パタンエッチング等が必要となる。Tiは従来ウエットエッチングが主流であるが、微細化限界が懸念されているため現在のWLPにならってドライエッチングへの移行が現実味を帯び始めている。一般にTiをドライでエッチングした後の基板表面は疎水性表面であり、次工程Cuめっきの密着性維持のため、親水化処理する工程が必要である。WLP分野で広く実績を持つ当社のアッシング装置「NA-1300」™シリーズはこの親水化処理でも多くの実績を有する。今回、パネル基板向

け、1.デスカム、2.Tiエッチング、3.表面親水化処理、のプロセスおよび装置を開発。新たに「NA-1500」™をリリースした(Figure 13)。プラズマ源はこれまでの「NA-1300」™を踏襲。今後顧客の次世代デバイス開発にも幅広く活用できるように、基板ステージ側にはRFバイアスを標準搭載。CCPモードを使った簡易ライトエッチングも可能で、「NA-1300」™の豊富な実績データをベースにR&Dラインもターゲットに加える仕様を特長とする。510 mm×510 mm基板(最大:600 mm×600 mm)におけるアッシング面内分布は±10%以下を実現する。

3. まとめ

PCB基板上ビルドアップCu配線形成工程の微細化によるドライ化に向け、当社の最新のパネルレベル装置とそのプロセス技術について紹介した。Figure 14は現在の当社の高密度実装向けソリューションを示す。本稿で主に紹介した「PCB実装ソリューション」、次期「WLP/

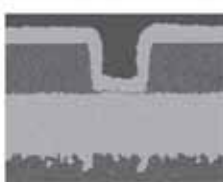
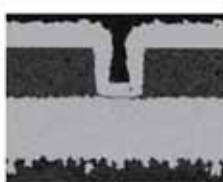
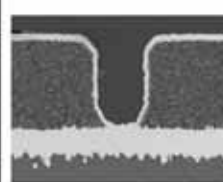
Glass-epoxy Film	ABF GX-92 t25 μm	ABF GX-92 t25 μm	ABF GX-92 t50 μm
Via Size	φ 35 μm A.R.: 0.7 w/o wet desmear	φ 30 μm A.R.: 0.83 w/o wet desmear	φ 25 μm A.R.: 2.0 w wet desmear
Seed Layer	Ti / Cu = 50 nm / 500 nm	Ti / Cu = 50 nm / 100 nm	Ti / Cu = 50 nm / 500 nm
Cu E-plating	15 μm	15 μm	3 μm
Cross-section Image			

Figure 11 Cu Electroplating.

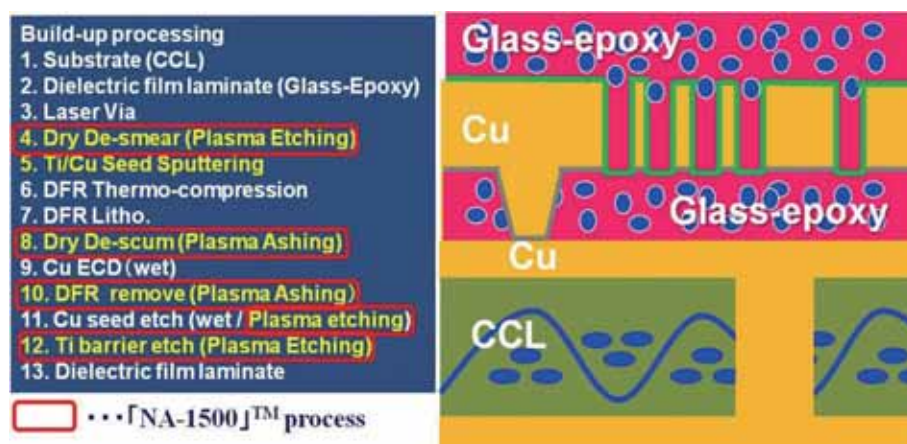


Figure 12 “NA-1500”™ Process in the Build-up PCB.

**Composition: 2 Process Module,
2 cassette, 1 atmospheric robot on slider**



Figure 13 “NA-1500”™.

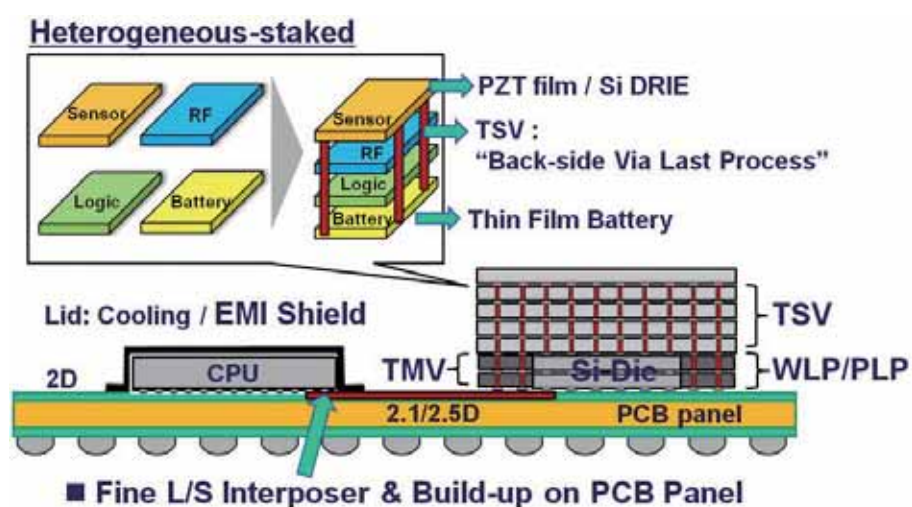


Figure 14 ULVAC High-density Packaging Technology Solutions For“ Smart System ”.

PLP 実装ソリューション」,そして「TSV 実装ソリューション⁹⁾」. 今後,異種チップ(メモリー,ロジック, MEMS(Micro Electro Mechanical Systems)・化合物デ

バイス,そしてTFB(Thin-film Battery))等技術を融合した「ヘテロジニアス実装ソリューション」を構築することで,より他社と差別化された且つ拡張性のある実

装ソリューション展開，つまり“Middle-end of Line”における当社装置のブランディング戦略へと繋げたい。

最後に，最近 WLP 分野では FO (Fan-out) WLP が大きな話題となっている^{10), 11)}。実装業界ではこのウエーハレベルをパネルレベル設備で製造する，すなわち FO-PLP でコストダウンを図ることが目的である。現在，複数の OSAT (Outsource Assembly and Test : 後工程受託) メーカーからも引き合いデモが始まりつつある。本パネルレベル装置は，PCB ビルドアップ配線のドライ化ビジネスを基軸に FO-PLP が次のビジネスの一つとなるよう，今後も研究開発レベルからこの行方を見極めていく必要がある。

文 献

- 1) 中村吉宏，加藤木茂樹；「半導体実装基板の歩みと今後の技術動向」日立化成テクニカルレポート (2013) No.55, 25.
- 2) 岩澤綾子，佐藤茂樹，中村禎志，越後文雄；「線膨張材料を用いた半導体パッケージ基板の開発」第 20 回マイクロエレクトロニクスシンポジウム，立命館大学 (2010) 235.
- 3) Yasuhiro Morikawa, Muneyuki Sato, Yosuke Sakao, Tetsushi Fujinaga, Noriaki Tani, Kazuya Saito; "Fabrication of Ultra-Fine Vias in Low CTE Build-up Films Using a Novel Dry Etching Technology" IEEE Electronic Components & Technology Conference, San Diego, CA (2015) 1494.
- 4) 佐藤宗之，森川泰宏，谷典明，米田昌弘；「次世代高密度実装基板向けドライデスミア技術の開発」第 63 回応用物理学会春季学術講演会，東工大学 (2016) 19p-W621-12.
- 5) 眞瀬江理子，岩井治憲，高橋康司，藤長徹志，松本昌弘，新井真，井堀敦仁；「プリント基板用スパッタリング装置「SMV-500F」」JULVAC TECHNICAL JOURNAL No.77 (2013) 1.
- 6) Tetsushi Fujinaga; "High Productivity Sputtering System for Seed Layer of Printed Circuit Board" International Conference on Electronics Packaging, Toyama (2014) 26.
- 7) Tetsushi Fujinaga; "Advanced Seed Layer of Cu Wiring for Printed Circuit Board with Sputtering Method" IEEE Electronic Components & Technology Conference San Diego, CA, USA (2015) 362.
- 8) Kiyoshi Oi, Satoshi Otake, Noriyoshi Shimizu, Shoji Watanabe, Yuji Kunitomo, Takashi Kurihara, Toshinori Koyama, Masato Tanaka, Lavanya Aryasomayajula and Zafer Kutlu; "Development of New 2.5D Package with Novel Integrated Organic Interposer Substrate with Ultra-fine Wiring and High Density Bumps" IEEE Electronic Components & Technology Conference, Orlando, FL, USA (2014) 348.
- 9) Y. Morikawa, T. Murayama, T. Sakuishi, A. Suzuki, Y. Nakamuta and K. Suu; "Novel TSV Process Technologies for 2.5D/3D Packaging" IEEE Electronic Components & Technology Conference, Orlando, FL, USA (2014) 1697.
- 10) Christianto C. Liu, Shuo-Mao Chen, Feng-Wei Kuo, Huan-Neng Chen, En-Hsiang Yeh, Cheng-Chieh Hsieh, Li-Hsien Huang, Ming-Yen Chiu, John Yeh, Tsung-Shu Lin, Tzu-Jin Yeh, Shang-Yun Hou, Jui-Pin Hung, Jing-Cheng Lin, Chewn-Pu Jou, Chuei-Tang Wang, Shin-Puu Jeng, Douglas C. H. Yu; "High-Performance Integrated Fan-Out Wafer Level Packaging (InFO-WLP) Technology and System Integration" IEEE International Electron Devices Meeting, San Francisco, CA, USA (2012) 14.1.1.
- 11) B. Rogers, C. Scanlan, and T. Olson; "Implementation Of A Fully Molded Fan-Out Packaging Technology" International Wafer Level Packaging Conference San Jose, CA, USA (2013) S10 P1.