

# 位相差調整による、 絶縁膜の埋め込み成膜技術\*

中畑俊彦\*<sup>1</sup>・橋本一義\*<sup>1</sup>・山口晴正\*<sup>1</sup>・武田直樹\*<sup>1</sup>・高井昇一\*<sup>1</sup>・中村真也\*<sup>1</sup>

## Filling Technology of Insulating Layers by Phase Position Control.

Toshihiko NAKAHATA\*<sup>1</sup>, Kazuyoshi HASHIMOTO\*<sup>1</sup>, Harumasa YAMAGUCHI\*<sup>1</sup>,  
Naoki TAKEDA\*<sup>1</sup>, Shouichi TAKAI\*<sup>1</sup>, Shinya NAKAMURA\*<sup>1</sup>

\*<sup>1</sup>Semiconductor Equipment Division, ULVAC, Inc.,  
1220-1 Suyama, Susono, Shizuoka 410-1231, Japan

When we use Radio Frequency (RF) generators in both Cathode and Stage bias, stage bias effectivity is able to control from phase relation. We found it is able to understand by reading voltage peak to peak ( $V_{pp}$ ) trend with each Phase position.

3D-NAND Flash memory keeps increasing its layers and each layer are required to reduce process height to keep total device height. It is also required to reduce height for etching stop layer and filling process is required for insulator materials. ULVAC had process knowledge about stable RF sputtering process but it is not able to make enough filling performance. Stage bias process which is used in ULVAC conventional technology like Highly Coverage Ionized Sputter (HiCIS) was known as good candidate for filling process but it is only used for metal layers which have lower ionized energy materials. We tried to mix both cathode and stage RF process but filling performance was not stable and could not control RF process together. In order to solve this issue, we found phase control is one of the key factors to use not only matching control but also control stage bias effectivity. We can control filling performance when we select correct phase position for both cathode and stage RF. It makes further possibility for sputter process applications.

### 1. はじめに

NAND型フラッシュメモリは従来、半導体基板の水平方向に記憶素子“メモリセル”を並べた構造をとっており、そのメモリセルの微細化を行うことで記憶容量を高めてきた。

一方、限られたスペースでの微細化には物理的な限界がある為、メモリセルを縦方向に積層させることで、チップ当たりの記憶容量を改善させる3D-NAND型のフラッシュメモリが開発されている。

この3D-NAND型のフラッシュメモリにおける、技術的な課題の一つに、多層膜を貫くチャネルホールを形成させる為のエッチング技術が挙げられる。多層膜を均一にエッチングさせる為には、下層にエッチング耐性が高く量産性に適した絶縁膜が好まれる場合もある。

ULVACは、絶縁膜成膜技術として従来から高周波スパッタ技術を提供しており<sup>1-4)</sup>、すでにハードマス

クやエッチングストップ膜 (ESL) として量産工場への多くの納入実績を有している。

昨今、3D-NAND型フラッシュメモリに代表される電子デバイスでは世代が進むにつれ、更なる多層化が進み、その層数が益々増加する傾向にある。その為、各メモリ層の高さを抑えるだけでなく、上述したESL層も薄く、より均一性良く成膜する技術が必要となった。更に、パターン内に絶縁膜を埋め込む技術が必要とされている。

従来技術であるカソード側だけで成膜する高周波スパッタ技術では、パターン内への埋め込みを行うことが困難であり、基板上への高周波導入が必要となるが、複数の高周波電源を同時に扱う為には、技術的な課題を解決する必要がある。

我々はこの課題を解決すべく実験を重ねた結果、位相をコントロールすることでより効果的な基板バイアスを達成できることを発見した。本稿では、この絶縁膜スパッタリングプロセスを用いた、トレンチパターンへの埋め込み技術について紹介する。

\*<sup>1</sup> (株)アルバック 半導体装置事業部  
(〒410-1231 静岡県裾野市須山1220-14)

## 2. ULVACの高周波スパッタ装置の特徴

3D-NANDプロセスに要求される膜として、エッチング耐性に優れ、かつパターン形成後は速やかに薬液除去可能な $\text{Al}_2\text{O}_3$ 膜が挙げられる。この絶縁膜の形成方法として、成膜速度が比較的高く、良好な膜厚分布を示すスパッタリング法が用いられる。ここでは、高周波を用いたRFスパッタ専用モジュールを搭載したマルチチャンバ式スパッタ装置であるENTRON-EX W300を使用している。この装置は300 mmサイズのウェーハに対応した装置構成であり、半導体メモリの量産に適した高スループット、低パーティクルを実現できる機能を備えている。また、上記以外にもプロセスチャンバーには以下のような特徴を有している。

- (1)  $\text{Al}_2\text{O}_3$ ターゲットの側面部に最適材料膜の溶射を施すことにより、高周波出力時に発生する異常放電（アーク）を防ぎ、パーティクルの抑制やプロセスの安定性を確保することが可能となる<sup>4)</sup>。
- (2) プロセス電源にRFS1350LHを搭載しており、プロセス中、大アークが発生する前の微小アークを検出して瞬間的に出力を止める機能（マイクロアークカット機構）を有することで、パーティクルの発生を防ぐことができる。
- (3) 特徴的なチャンバー構成をしており、絶縁膜を成膜し続けても、接地面が常に存在可能である為、安定して絶縁膜を成膜することが可能である<sup>2)</sup>。
- (4) 300 mmウェーハに対応した高パワーの高周波電力を出力した場合でも不安定性の要因となるプラズマ漏れを防ぐことができるラビリンス構造を用いている<sup>3)</sup>。これにより、13.56 MHzの高周波を100 Wから5000 Wの範囲で出力させることが可能となり、量産に適した成膜速度を確保することが可能となる。

## 3. 埋め込み技術の課題と解決方法

### 3.1 絶縁膜の埋め込み技術における課題

高周波スパッタプロセスを用いることで、絶縁膜を安定に成膜することが可能となった。ただし、この成膜方法は平面に成膜する技術として確立されており、ホールやトレンチといった基板上的パターンに埋め込む技術としては課題が残っている。

これらパターンに対するカバレッジを向上させたスパッタプロセスとして、Long Through Sputter (LTS)、Self-Ionized Sputter (SIS)、Highly Coverage Ionized Sputter (HiCIS)<sup>5)</sup>等が挙げられるが、どれも金属タ

ーゲットを対象としたスパッタ技術であることから、絶縁膜スパッタプロセスには適用することができていない。そこでスパッタリングターゲット側と基板側それぞれに高周波電力を供給し、出力される高周波の位相制御を行うことで、埋め込み性能を向上させるスパッタリングプロセスを試みた。この成膜方法<sup>6)</sup>によって形成する絶縁膜は、基板側に供給される高周波電力の位相に応じて埋め込み特性が変化する場合があります、膜の埋め込み特性を向上させた最適な条件を知ることが重要な課題となる。

### 3.2 絶縁膜埋め込み成膜を達成させるための装置構成

Fig.1に本評価を行ったチャンバー構成の概略図を示す。絶縁膜スパッタを実施するため、ターゲットを含むカソード電極側に高周波電源1 (RF1) を搭載し、基板を載せるステージ側へは、エッチングとリスパッタを繰り返し、パターン内に $\text{Al}_2\text{O}_3$ を埋め込むため、別の高周波電源2 (RF2) をそれぞれ搭載している。各電源から出力される高周波の位相は位相調整器にて調整を行っている為、同じ周波数の高周波電源を使用した場合でも、それぞれの高周波が出力される位相差を調整することが可能となる。各電源から実際に出力された波形をFig.2に示す。出力された高周波はFig.1に示したPickup1, Pickup2の位置よりオシロスコープにて読み取っているが、位相差を変更することでRF2より出力される波形が移動していることが分かる。

また、各電源にはそれぞれ独立した整合回路（マッチングボックス）を搭載している為、Tune (C1) と Match (C2) の抵抗値を自動調整することで安定した高周波を出力させることが可能となる。

### 3.3 複数の高周波電源を使用した際の特徴とコントロール

$\text{Al}_2\text{O}_3$ 膜の成膜評価を行うにあたり、カソード側の高周波出力を4000 W、基板側の高周波出力を400 Wと設定し、Arガス200 sccmを導入することでチャンバー内圧力を約2 Paに調圧した状態にて放電を行った。ここでカソード電極側では磁石回路を一定速度で回転させながら放電を行うことでターゲット材料の $\text{Al}_2\text{O}_3$ を成膜する、マグネトロンスパッタ方式を用いている。

Fig.3にRF2電源の位相位置を動かした際に得られるVoltage peak to peak ( $V_{pp}$ ) 値の変動、およびマッチング調整された位置におけるRF2電源のC1値及びC2値の変動を示す。ここで $V_{pp}$ 値はマッチングボックスの出力側の電圧を読み取ることで得られている。

グラフより位相差の変化に伴い、 $V_{pp}$ 値は50度付近

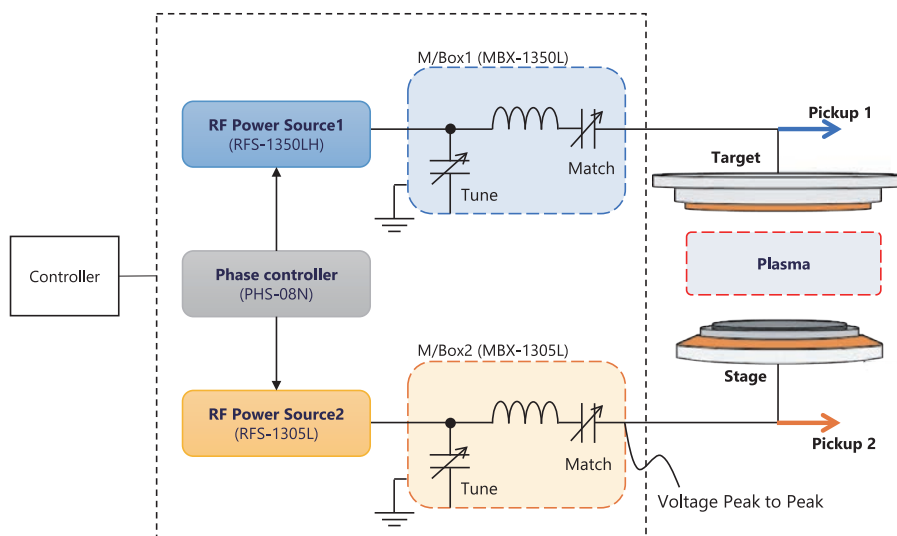


Fig.1 Image of chamber configuration and process power supply control. RF1 is connect to cathode electrode which have Sputtering Target and RF2 is connect to stage electrode which has substrate. Each power supplies are connected to Phase controller and wave point is controlled by phase. RF bias process are controlled in matching box with impedance control for Tune (C1) and Match (C2). Each RF wave are monitored by oscilloscope from pickup 1 and pickup 2. RF2 Voltage peak to peak (Vpp) value is monitoring at out put point of matching box.

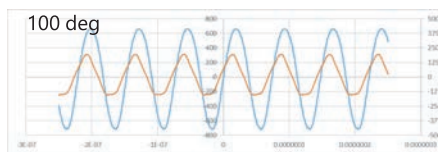


Fig.2 (a). 位相差100度 (第一範囲)

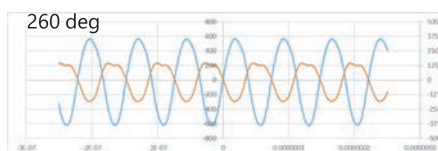


Fig.2 (b). 位相差260度 (第三範囲)

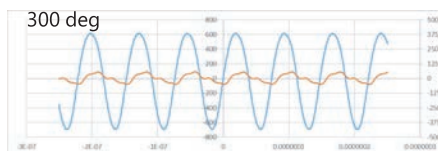


Fig.2 (c). 位相差300度 (第二範囲)

Fig.2 Relationship of each RF wave and Phase position. When phase position set to 100 degrees RF1 and RF2 wave are synchronized and it shows similar pattern. We called it as In-phase pattern. At 260 degrees, RF1 and RF2 wave shows opposite pattern. We called it as Anti-phase pattern. similar condition can see in 300 degrees too.

( $\theta 1$ ) を底辺とした凹状の変化を示していることが分かる。一方C1値は位相差の増加に伴い上昇し続け、位相差100度を越えた時点で放電を維持することができなくなる。

次に、位相差を逆方向に変化させ、RF2の出力を360度より減少させた場合、Vpp値は位相差300度付近( $\theta 2$ )を頂点とした凸状の変化を示した。ここではC1値は位相差の減少に伴い上昇し、位相差240度より

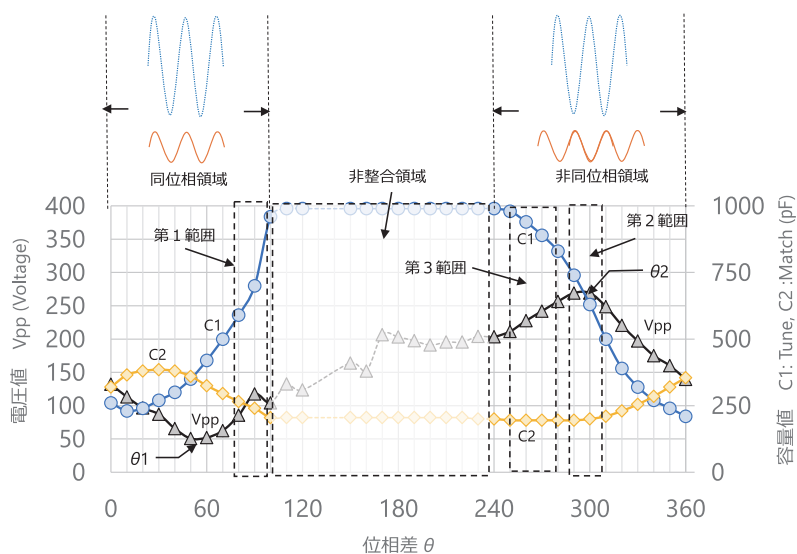


Fig.3 Vpp trend with Phase position.

Vpp trend shows concave trend in phase 0 to 100 degrees area and convex trend at phase 240 to 360 degrees area. From process data, we call 80-100 degrees area as bias effective zone (region1), 290-310 degrees area as another bias effective zone (Region2) and 250 to 280 degrees as bias too effective zone (Region3).

も低い範囲では放電を維持することができなくなった。

上記結果と、Fig.2より得られる波形の関係性から、位相差0度から100度までの範囲を同位相 (In-phase) 領域、240度から360度までの範囲を非同位相 (Anti-phase) 領域、上記以外のプラズマが安定維持できない領域を非整合領域と呼称する。

### 3.4 位相位置の違いによる成膜性能

次に、これらの領域で実際に成膜を実施した際の変化について述べる。Fig.4は上記同位相領域において成膜を行った際の、X軸方向における面内膜厚分布を成膜速度として表示している。横軸は測定位置を、縦軸には各測定位置での成膜速度を示す。

基板電極側に高周波を出力させない条件 (Non bias) を基準として、それぞれ同じ出力を、位相位置のみを変化させて成膜を行った。

いずれの条件においても Non bias と比較して成膜速度が上昇しているが、これは基板側に高周波を出力させたことにより、成膜室内のAr<sup>+</sup>が膜内に取り込まれた為と考えられる。また、面内分布の傾向より、位相差10度及び70度の条件においては、分布の形状を変化させることなく全体の成膜速度が上昇したのに対し、位相差90度の条件においては、面内分布の形状が変化し、特に基板外周部においてエッチングの効果がみられるようになった。

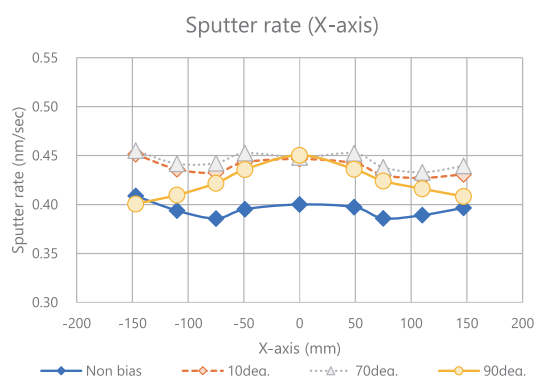


Fig.4 Sputtering rate trend with each phase position.

Phase positions are selected from In-phase area, Sputter rate increase when Stage bias power supplied.

phase position 10 and 70 degrees shows same profile with Non bias process but 90 deg, data shows etching effective profile.

つまり、高周波を導入する位相位置を変化させることで成膜性能に変化が表れていることが明らかであると言える。この結果より、同位相領域においてVpp値が最も低くなる  $\theta$  1から30度~50度進めた範囲を基板バイアスの効果が得られる位相差範囲として第一範囲

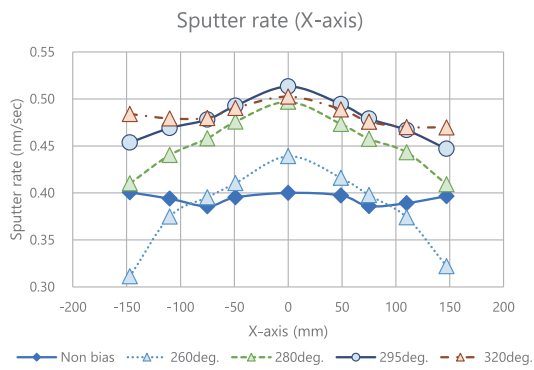


Fig.5 Sputtering rate trend with each phase position. Phase positions are selected from Anti-phase area. Same trend with In-phase position, sputter rate increased with Stage bias power supply. 295 degrees condition shows similar performance with 100 degrees condition at In-phase area. 280 degrees and 260 degrees shows more etching affect with lower phase positions.

と設定した。

次に、非同位相領域にて成膜を行った場合の成膜速度についてFig.5に示す。非同位相領域に対しても同位相領域での特徴と同様に、320度条件で成膜した際、面内分布の形状を変化させないまま、成膜速度の上昇が見られるが、295度以下の条件において、エッチングの効果が表れている。分布形状の変化は、位相位置を下げるほどに大きくなり、260度条件では大きくその分布形状を変化させている。

この結果より、非同位相領域においてVpp値が最も高くなる $\theta 2$ の前後10度の範囲を第二範囲とし、さらにエッチングの効果が見られる第二範囲よりも低い位相位置にある非同位相領域を第三範囲と設定した。

### 3.5 各位相領域による埋め込み特性

位相位置を変化させることで成膜性能に大きな変化が見られる、つまり成膜状態を変化させることができることが明らかとなった。次にこれらの条件で成膜を実施した際の埋め込み特性について確認を行った。

Fig.6 (a) ~ Fig.6 (g) は断面SEM (Scanning Electron

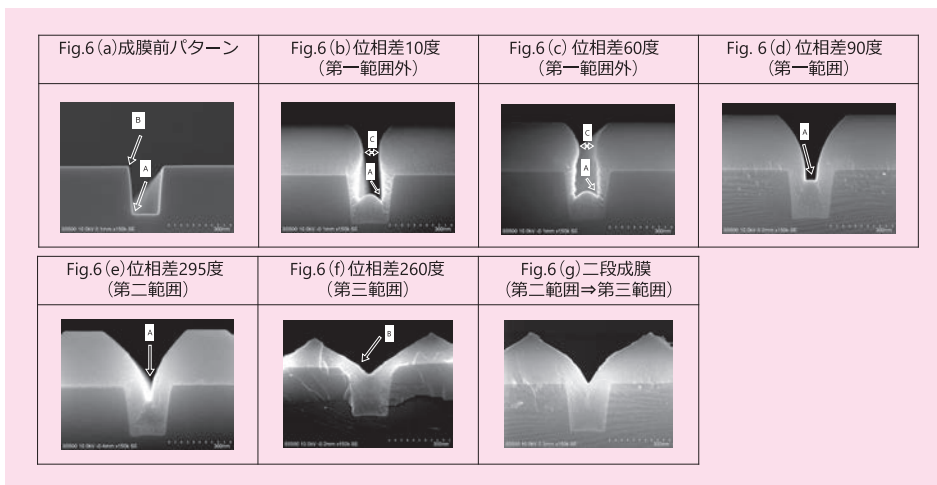


Fig.6 SEM image for each filling conditions.

- 6 (a) is the initial pattern before sputter.
- 6 (b) is taken at 10 degrees (outside of Region1)
- 6 (c) is taken at 60 degrees (outside of Region1)
- Both pattern shows seam on side wall of pattern and it will create big void in subsequence process.
- 6 (d) is taken at 90 degrees (Region1)
- 6 (e) is taken at 295 degrees (Region2)
- Both pattern shows no void and still remaining enough opening area for subsequence process.
- 6 (f) is taken at 260 degrees (Region3)
- There have no seam and good filling condition but also made facet on edge of original pattern.
- 6 (g) is taken with 2step depositions as first half deposition with Region2 and change phase position to Region3.
- It made best filling condition and also not damaged original pattern,

Microscope) 像であり、Fig6 (a) は成膜前のパターンに対する断面SEM図を示す。シリコン酸化物で構成された深さ240 nm、アスペクト比1.0の凹パターンを用いて埋め込み評価を行った。矢印Aで示された部分は底面と側壁が90度で交差する端部であり、矢印Bで示された部分は側壁の最上段である。またFig6 (b) ~ Fig6 (g) は凹パターンにAl<sub>2</sub>O<sub>3</sub>膜が形成された後のスパッタリング膜の断面SEM像である。

Fig6 (b) 及びFig6 (c) には同位相領域において、第一範囲外に位置する位相差10度及び60度の条件にて成膜を行った結果を示す。これらの条件で成膜を行った際、矢印Aで示される端部への回り込みが優れず、端部においてAl<sub>2</sub>O<sub>3</sub>膜が鋭角状に凹む現象が現れた。また矢印Cで示される開口部が狭くなり、継続して成膜を続けると上部で膜が閉じ、空孔(ボイド)を形成させてしまうことが確認された。

一方、第一範囲に属す位相差 $\theta$ を適用した場合のスパッタリング膜として、Fig6 (d) に位相差90度にて成膜を行った場合のSEM像を示す。これらのAl<sub>2</sub>O<sub>3</sub>膜は端部が鋭角に凹む現象が現れず、埋め込み特性に優れたAl<sub>2</sub>O<sub>3</sub>膜が形成されることが確認される。

これらの結果は、アスペクト比0.2~1.0の浅い形状においても同様に確認されている。

次に、非同位相領域における埋め込み特性を確認した。

Fig6 (e) に第二範囲に位置する位相差295度の条件にて成膜を行った場合のSEM像を示す。ここではFig6 (d) と同様、埋め込み特性に優れたAl<sub>2</sub>O<sub>3</sub>膜を形成されることが分かった。

一方、さらにエッチング効果を高めた第三範囲にて成膜を行った例として、Fig6 (f) に位相差260度にて成膜を行った結果を示す。

この場合、埋め込み特性は優れているものの、エッチングの効果が強すぎる為、矢印Bで示された凹パターン最上端が削れてしまい、パターンを破壊してしまう結果となった。

この問題を解決させる方法として、第二範囲で成膜を行い、途中で第三範囲に位相位置を切り替える方法

が考えられる。

Fig6 (g) に第二範囲で成膜を行った後、位相位置を第三範囲に切り替えて成膜を行った場合の結果を示す。二段階で成膜を行うことにより、基板上のパターンを傷つけることなく、より優れた埋め込み特性を得ることが可能となった。

#### 4. まとめ

このように絶縁物を基板上的パターンへ成膜する際、スパッタリングを行う高周波電源1と基板側でバイアスを印加させる高周波電源2がともに固定電力であったとしても、位相差 $\theta$ を操作することによってその成膜特性が変化し、凹パターンに対する埋め込み特性も変化することが明らかとなった。

また、これらの特性は放電時に得られるV<sub>pp</sub>値の変化を読み取ることで判別することができる為、成膜中のパラメータより、適正な処理条件を確認することが可能となる。そのため、本技術は高周波スパッタを利用した絶縁膜埋め込みプロセスの量産適応においても大きく可能性を広げることが期待される。

最後に、本評価を進めるにあたり、先進技術研究所種田氏及び、分析解析室の皆様にはSEM測定において多大にご協力いただきました。この場をお借りして御礼申し上げます。

#### 文献

- 1) 中村真也, 岩澤宏明, 藤井佳詞: 特開2014-91861号公報.
- 2) 谷典明, 鄒弘綱, 大沢明, 中村久三, 石川道夫: 特開平09-176850. (1997).
- 3) 中村真也, 岩澤宏明, 宮口有典: 特許6030404 (2016)
- 4) 宮口有典, 中村真也, 池田佳広, 鄒弘綱: 特許5978417 (2016).
- 5) 門倉好之, 廣石城司, 中村文夫, 北島千穂, 金東信: 特開2010-245296
- 6) 瀬戸山英嗣, 亀井光浩: 特開平08-302467 (1998)